

PAT-NO: JP362172741A
DOCUMENT-IDENTIFIER: JP 62172741 A
TITLE: FORMATION OF MULTILAYER INTERCONNECTION
PUBN-DATE: July 29, 1987

INVENTOR-INFORMATION:
NAME
FUSHIMI, KIMIHISA
HARADA, YUSUKE

ASSIGNEE-INFORMATION:
NAME COUNTRY
OKI ELECTRIC IND CO LTD N/A

APPL-NO: JP61013728
APPL-DATE: January 27, 1986

INT-CL (IPC): H01L021/88

ABSTRACT:

PURPOSE: To improve yield out of a through-hole filling process involving electroless plating by a method wherein a process consisting of palladium evaporation and its lift-off precedes electroless plating for the accomplishment of a reliable pre-treatment for a microstructure through-hole.

CONSTITUTION: A first layer wiring 12 of an Al-Si alloy, a PSG film 13 serving as an interlayer insulating film, and a photoresist mask 14 are formed on an IC substrate 11. Etching is accomplished for the creation of a through-hole 15 at a required location on the first layer wiring 12. A process follows wherein palladium is forced into evaporation by resistance heat for the formation of a palladium layer 16 on the surface of the first layer wiring 12

on the bottom of the through-hole 15 and on the surface of the photoresist mask

14. Next, the photoresist mask 14 is caused to melt for removal, after which the palladium layer 16 is retained only on the surface of the first layer wiring 12, to serve as an activation layer for a later process of electroless plating. Application of electroless plating results in a nickel-based coating 17 selectively formed in the through-hole 15. Through the intermediary of the nickel-based coating 17, a second layer wiring 18 of an Al alloy is built on the PSG film 13, to be connected to the first layer wiring 12.

COPYRIGHT: (C)1987,JPO&Japio

⑫ 公開特許公報(A)

昭62-172741

⑤ Int.Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和62年(1987)7月29日

H 01 L 21/88

6708-5F

審査請求 未請求 発明の数 1 (全4頁)

⑥ 発明の名称 多層配線の形成方法

⑦ 特 願 昭61-13728

⑧ 出 願 昭61(1986)1月27日

⑨ 発 明 者 伏 見 公 久 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 ⑩ 発 明 者 原 田 裕 介 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 ⑪ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
 ⑫ 代 理 人 弁理士 菊 池 弘

明 細 書

1. 発明の名称

多層配線の形成方法

2. 特許請求の範囲

(a) IC基板上に第1層配線と層間絶縁膜を順に形成する工程と、

(b) その層間絶縁膜に、その上に形成されたフォトリソレジストマスクをマスクとして選択的にスルーホールを開ける工程と、

(c) その後、前記フォトリソレジストマスクを残したまま、全面にパラジウムを真空蒸着する工程と、

(d) 次に、前記フォトリソレジストマスクを除去し、同時にその上のパラジウムを除去することにより、前記スルーホール底部の第1層配線表面にのみパラジウムを活性化層として残す工程と、

(e) その後、スルーホール内に無電解めつき法によりめつき金属層を形成する工程と、

(f) そのめつき金属層を介して前記第1層配線に接続される第2層配線を前記層間絶縁膜上に形成する工程とを具備することを特徴とする多層配線

の形成方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体集積回路装置における多層配線の形成方法に関するものである。

(従来の技術)

半導体集積回路装置(IC)における従来の多層配線の形成方法の1つとして、特開昭54-111795号公報に示されるように、層間絶縁膜のスルーホールを無電解めつき法により金属層で埋め込む方法がある。さらに、この方法を実用化する手段として、スルーホール埋め込みのための無電解めつき処理を行うに際して、その前処理を行う方法が提案されており、その方法による改良された従来の多層配線の形成方法を以下第2図を参照して説明する。

まず、トランジスタなどが既に形成されたIC基板1上に、Al-Si合金からなる第1層配線2を形成する(第2図(a))。

次に、CVD法により全面に層間絶縁膜として

SiO₂膜3を形成し、このSiO₂膜3に第1層配線2上の必要な箇所にスルーホール4を開孔する(第2図(b))。

次に、無電解めつき処理の前処理として、弱酸性の塩化パラジウム溶液に室温で1分間全体を浸し、スルーホール4の底面である第1層配線2の表面にパラジウムを吸着させ活性化層5を形成する(第2図(c))。

続いて、水洗いを行つた後、無電解ニッケル系めつき浴に浸し、スルーホール4内に選択的にニッケル系めつき層6を形成する(第2図(d))。この時、ニッケル系めつき層6は、SiO₂膜3との間に段差を生じない厚さに形成する。

最後に、そのニッケル系めつき層6を介して前記第1層配線2に接続される第2層配線7をSiO₂膜3上に形成する(第2図(e))。

(発明が解決しようとする問題点)

しかしながら、上記のような方法では、無電解めつきの前処理において以下のような問題点があった。

この発明は、以上述べたような従来の方法の問題点を除去し、無電解めつきによるスルーホール埋め込み工程を有する多層配線を歩留り良く製造することを目的とする。

(問題点を解決するための手段)

この発明では、無電解めつきの前処理として、パラジウムの真空蒸着とリフトオフを併用した方法を採用する。具体的には、IC基板上に第1層配線と層間絶縁膜を順に形成し、その層間絶縁膜にフォトリソレジストマスクをマスクとしてスルーホールを開けた後、前記フォトリソレジストマスクを残したまま全面にパラジウムを真空蒸着し、その後、フォトリソレジストマスクを除去する。

(作用)

すると、フォトリソレジストマスクと同時に、その上のパラジウムは除去され、パラジウムは、スルーホール底部の第1層配線表面にのみ活性化層として残る。

(実施例)

以下この発明の一実施例を第1図を参照して説

① 塩化パラジウム溶液への浸漬という処理方法では、スルーホールという2μm前後の径の孔には十分に溶液が入らず歩留りが悪い。さらに微細化が進んでスルーホール径が小さくなると、さらに歩留りが悪くなると考えられる。

② 配線などに起因する層間絶縁膜(SiO₂膜3)の段差部に塩化パラジウム溶液がたまり、水洗いによつても完全に除去できず、結果としてめつきの選択性を不完全にする。この場合に生じる欠陥を第3図に示す。この第3図は、配線に起因する絶縁膜の段差部において、絶縁膜上にもかかわらず、めつき金属8が析出してしまつた例である。この第3図は、本発明者が行つた実験結果の写真を模写した図で、9はスルーホール内に析出しためつき金属を示す。

③ 塩化パラジウム溶液は弱酸性であり、このため、Al合金配線(第1層配線2)に対して腐食を起こしたりして歩留りの低下を招く。

明する。

まず、トランジスタなどが既に形成されたIC基板11上に、Al-Si合金からなる第1層配線12を形成する(第1図(a))。

次に、CVD法により全面に層間絶縁膜としてPSG膜13を6000Åの厚さに形成する。さらに、その上に、通常のホトリソグラフィ技術を用いて、スルーホールエッチングのフォトリソレジストマスク14を形成する。そして、そのフォトリソレジストマスク14をマスクとして、RIE法によりPSG膜13をエッチングすることにより、このPSG膜13に第1層配線12上の必要な箇所にスルーホール15を開孔する(第1図(b))。

続いて、上記フォトリソレジストマスク14を残したまま、10⁻⁸Torr台の真空中にて、パラジウムを数十Åの厚さになるように抵抗加熱蒸着する。これにより、スルーホール15底部の第1層配線12表面およびフォトリソレジストマスク14上にパラジウム層16が形成される(第1図(c))。

次に、アセトンなどの有機溶剤に全体を浸漬し、

フォトリソマスク14を溶解除去する(ただし、この時、発煙硝酸は使用できない)。すると、フォトリソマスク14と同時に、その上に蒸着されていたパラジウム層16も除去され、結果的に、パラジウム層16はスルーホール15内の第1層配線12表面にのみ残り、次の無電解めつき処理のための活性化層となる(第1図(d))。

続いて、無電解ニッケル系めつき浴に全体を浸し、無電解めつき法により、スルーホール15内に選択的にニッケル系めつき層17(めつき金属層)を形成する(第1図(e))。この時、ニッケル系めつき層17は、PSG膜13との間にできるだけ段差を生じないように膜厚とする。

最後に、そのニッケル系めつき層17を介して前記第1層配線12に接続されるAl合金よりなる第2層配線18をPSG膜13上に形成する(第1図(f))。

なお、このような一実施例は2層配線の場合であるが、同様な工程をくり返して3層以上の配線を形成することもできる。

選択性がないので、例えば下層配線を2層金属構造として上層金属にAl合金以外の例えばタンゲステンやタンゲステンシリサイドを用いてその上にめつきを可能とする。

4. 図面の簡単な説明

第1図はこの発明の多層配線の形成方法の一実施例を示す工程断面図、第2図は改良された従来の多層配線の形成方法を示す工程断面図、第3図は改良された従来方法による実験結果を示す平面図、第4図は本発明方法による実験結果を示す平面図である。

11…IC基板、12…第1層配線、13…PSG膜、14…フォトリソマスク、15…スルーホール、16…パラジウム層、17…ニッケル系めつき層、18…第2層配線。

特許出願人 沖電気工業株式会社
代理人 弁理士 菊池 弘

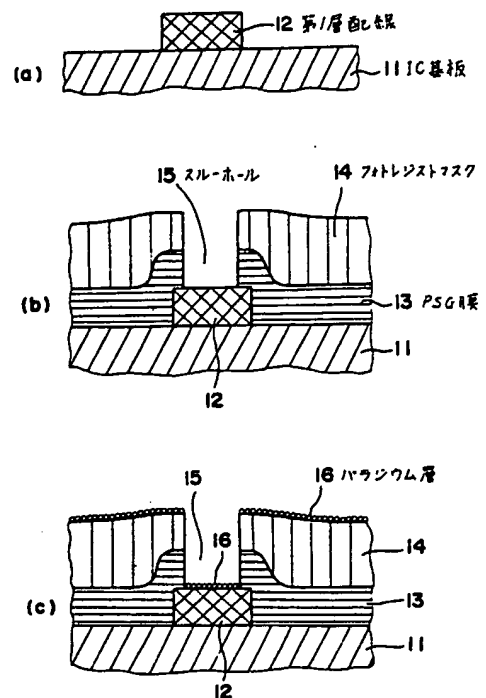


(発明の効果)

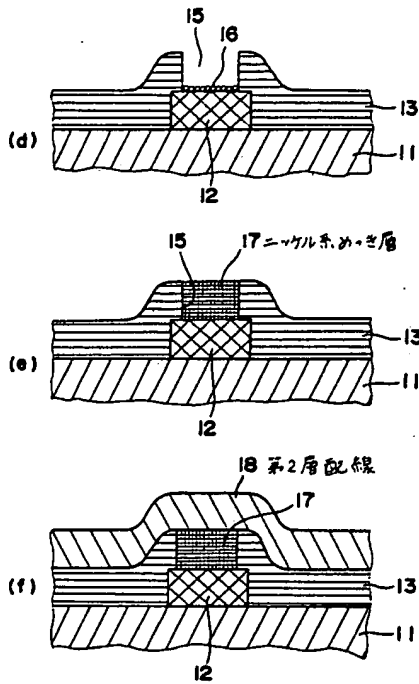
以上詳細に説明したように、この発明の方法によれば、無電解めつきの前処理として、従来の塩化パラジウム溶液への浸漬の代わりに、パラジウムの真空蒸着とリフトオフを併用した方法を採用したので、微小なスルーホールに対しても確実に前処理が行われ(微小なスルーホールでも、該スルーホール内の下層配線表面に真空蒸着により確実にパラジウムの活性化層が形成され)、結果的に、無電解めつきによるスルーホールの埋め込みの歩留りが向上する。

また、リフトオフにより不要なパラジウムを除去するので、層間絶縁膜上にパラジウムが残ることがなく、第4図(本発明者が行つた実験結果の写真を模写した図)に示すように、めつきの選択性を完全にすることができる。

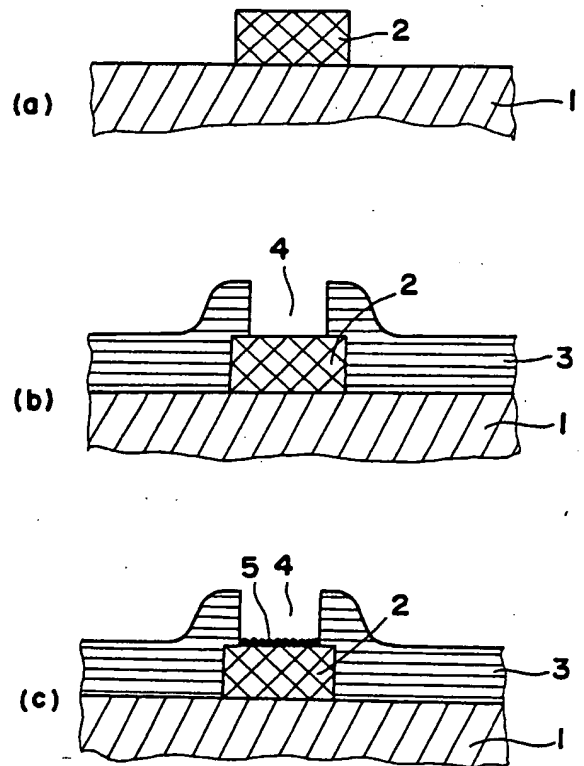
さらに、パラジウムの活性化層は真空蒸着により形成するので、下層配線金属に対する浸食などのダメージや汚染が生じない。加えて、真空蒸着によるパラジウム膜の形成には、下地材料による



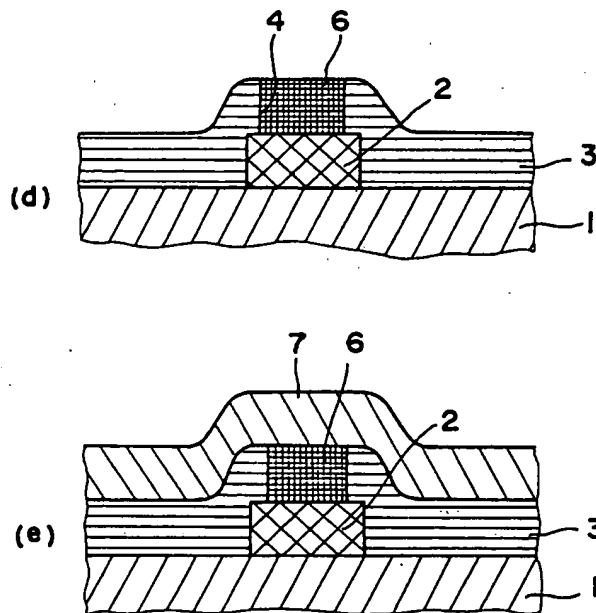
本発明一実施例の工程断面図
第1図



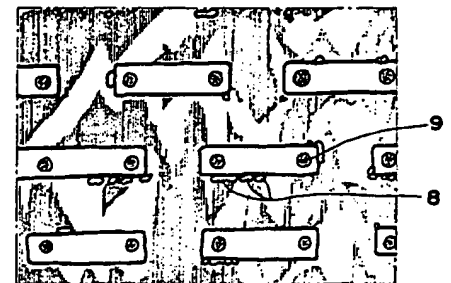
本発明一実施例の工程断面図
第 1 図



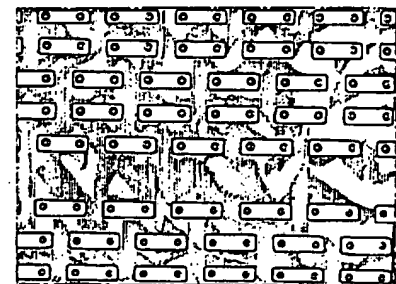
改良された従来方法の工程断面図
第 2 図



改良された従来方法の工程断面図
第 2 図



改良従来方法の実験結果の平面図
第 3 図



本発明方法による実験結果の平面図
第 4 図